

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **09162314 A**

(43)Date of publication of  
application: **20. 06 . 97**

(51)Int. Cl. **H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**  
**H01L 27/115**

(21)Application number: **07322889**

(71)Applicant: **NEC CORP**

(22)Date of filing: **12 . 12 . 95**

(72)Inventor: **OKAZAWA TAKESHI**

(54)**NON-VOLATILE SEMICONDUCTOR  
MEMORY DEVICE AND STRING METHOD**

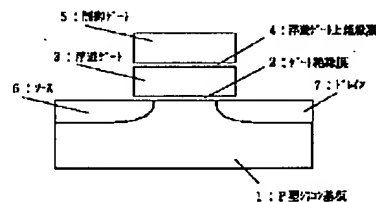
(57)Abstract:

PROBLEM TO BE SOLVED: To control a threshold value of a multivalued memory cell without being subjected to variations in manufacture and with good efficiency at the time of converging a threshold value of a memory cell on a prescribed value in order to realize the multivalued by a multivalued memory cell.

SOLUTION: A floating gate electrode 3 is formed of polycrystalline silicon and impurity introduction is performed at a very low level or no introduction thereof is performed in order to hold electric conductivity in a state of high resistance. Further, at the time of writing a multivalued memory cell, an implantation region of electrons to be implanted into the floating gate electrode 3 is changed so as to control a channel resistance of the memory cell and to realize a different threshold value of the memory cell

thus allowing a fine set-up of the threshold value and an easy memory of two bits (a state of four threshold values) in place of a conventional on bit (a state of two threshold values).

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-162314

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平7-322889  
 (22) 出願日 平成7年(1995)12月12日

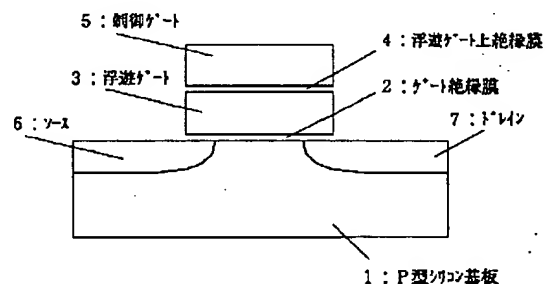
(71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (72) 発明者 岡澤 武  
 東京都港区芝五丁目7番1号 日本電気株式会社社内  
 (74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 不揮発性半導体記憶装置および記憶方法

(57) 【要約】

【課題】 多値メモリセルで多値を実現するため、メモリセルのしきい値を所定の値に収束させる場合に、製造バラツキの影響を受けないで効率良く、多値メモリセルのしきい値を制御すること。

【解決手段】 浮遊ゲート電極は多結晶シリコンで形成されるが、電気伝導性を高抵抗の状態にするために、不純物導入を非常に低レベルもしくは全く行わないことを特徴とし、多値メモリセルの書込時に、浮遊ゲート電極中に注入される電子の注入領域を変えることでメモリセルのチャネル抵抗を制御し、メモリセルの異なったしきい値を実現することで、しきい値を細かく設定でき、従来の1ビット(2つのしきい値状態)に代えて2ビット(4つのしきい値状態)を記憶させることが容易にできる。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板表面の第1の領域に、前記半導体基板と反対導電型の第2導電型の不純物より成る複数のソース、ドレインと、これらソース・ドレイン間の複数の浮遊ゲート電極及び複数の制御ゲート電極より構成される複数の積層ゲートMOS型の記憶素子がマトリクス状に配置され、前記制御ゲート電極は行線に、前記ドレイン、ソースはそれぞれ列線及びソース線に接続された不揮発性半導体記憶装置において、前記浮遊ゲート電極は多結晶シリコンで形成されるが、電気伝導性を高抵抗の状態にするために、不純物導入を、非常に低レベルもしくは全く行わないことを特徴とし、前記各記憶素子の浮遊ゲート電極に蓄積される電子の電荷量の違いによって4種類のしきい値を有する4種類の記憶状態を有し、前記4種類の記憶状態は、最もしきい値の低い第1のしきい値状態と最もしきい値の高い第4のしきい値状態及びその間にある第2のしきい値状態とそれよりも高い第3のしきい値状態により構成され、前記それぞれのしきい値状態は、すべての記憶素子を予め第1のしきい値状態にした後、第1のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第2のしきい値状態にし、次に第2のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第3のしきい値状態にし、次に第3のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第4のしきい値状態に設定し、それぞれのしきい値状態は前記浮遊ゲート電極中に局在して存在する電子によって実現され、その結果記憶素子に実質的に2ビット以上の記憶状態を実現することを特徴とする不揮発性半導体記憶装置。

【請求項2】 請求項1記載の不揮発性半導体装置において、各記憶状態はそれぞれ所定のしきい値の分布幅を以て実現され、それぞれの記憶状態を表すしきい値の分布幅はそれぞれ一定の値を隔てて相互に離間して実現されることを特徴とする不揮発性半導体装置。

【請求項3】 請求項1記載の不揮発性半導体装置において、4種類の記憶状態のうち、最もしきい値の低い第1のしきい値状態もしくは第1および第2のしきい値状態は負であり、第2、第3、および第4のしきい値状態は、正であることを特徴とし、前記負のしきい値状態を有する記憶素子の前記行線には書き換え時および記憶データの保持状態を除いて常に負電圧が印加されることを特徴とする不揮発性半導体記憶装置。

【請求項4】 請求項1記載の不揮発性半導体記憶装置において、前記第1のしきい値状態は1～1.5Vの範囲であり、前記第2のしきい値状態は2～2.5Vの範囲であり、前記第3のしきい値状態は3～3.5Vの範囲であり、前記第4のしきい値状態は5V以上であり、それ以外のしきい値状態は存在しないことを特徴とする不揮発性半導体記憶装置。

【請求項5】 前記不揮発性半導体装置において、前記

4種類の記憶状態は、すべての記憶素子を予め第1のしきい値状態にした後、第1のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第2のしきい値状態にし、次に第2のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第3のしきい値状態にし、次に第3のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第4のしきい値状態に設定し、それぞれのしきい値状態は前記浮遊ゲート電極中に局在して存在する電子によって実現され、その結果記憶素子に実質的に2ビット以上の記憶状態を実現することを特徴とする請求項1、2、3または4記載の不揮発性半導体記憶装置の記憶方法。

【請求項6】 第1導電型の半導体基板表面の第1の領域に、前記半導体基板と反対導電型の第2導電型の不純物より成る複数のソース、ドレインと、これらソース・ドレイン間の複数の浮遊ゲート電極及び複数の制御ゲート電極より構成される複数の積層ゲートMOS型の記憶素子がマトリクス状に配置され、前記制御ゲート電極は行線に、前記ドレイン、ソースはそれぞれ列線及びソース線に接続された不揮発性半導体記憶装置において、前記浮遊ゲート電極は多結晶シリコンで形成されるが、電気伝導性を高抵抗の状態にするために、不純物導入を非常に低レベルもしくは全く行わないことを特徴とし、前記各記憶素子の浮遊ゲート電極に蓄積される電子の電荷量の違いによってN種類のしきい値を有し、N種類の記憶状態は、最もしきい値の低い第1のしきい値状態と最もしきい値の高い第Nのしきい値状態及びその間にある第2、第3、および第(N-1)のしきい値状態を有し、第2のしきい値状態よりも第3のしきい値状態の方が高い値を示し、同様に第(N-2)のしきい値よりも第(N-1)のしきい値状態の方が高くし、前記それぞれのしきい値状態は、すべての記憶素子を予め第1のしきい値状態にした後、第1のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第2のしきい値状態にし、次に第2のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第3のしきい値状態にし、次に第3のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第4のしきい値状態に設定し、同様に第(N-2)のしきい値を除く全ての記憶素子を第(N-1)のしきい値状態に設定し、それぞれのしきい値状態は前記浮遊ゲート電極中に局在して存在する電子によって実現し、その結果各記憶素子に実質的に10g<sub>2</sub>Nビットの記憶状態を実現することを特徴とする不揮発性半導体記憶装置。

【請求項7】 請求項6記載の不揮発性半導体装置において、各記憶状態はそれぞれ所定のしきい値の分布幅を以て実現され、それぞれの記憶状態を表すしきい値の分布幅はそれぞれ一定の値を隔てて相互に離間して実現されることを特徴とする不揮発性半導体装置。

【請求項8】 請求項6記載の不揮発性半導体装置にお

いて、N種類の記憶状態のうち、最もしきい値の高い第Nのしきい値状態を除く第1、第2、・・・、および第(N-1)のしきい値状態は、最もしきい値の低いものから順に第(N/2)までのしきい値状態のうちひとつ以上は負であり、第(N/2)以上のしきい値状態は、正であることを特徴とし、前記負のしきい値状態を有する記憶素子の前記行線には書替え時および記憶データの保持状態を除いて常に負電圧が印加されることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ビット当たりの低単価が実現可能な、電気的に書換え可能な不揮発性半導体記憶装置に関し、特に、物理的な1メモリセルに2ビット以上記憶させることの可能な不揮発性半導体記憶装置およびその記憶方法に関する。

【0002】

【従来の技術】電気的に書換えの出来る不揮発性半導体記憶装置の内、複数のメモリセルを同時に一括消去する機能を有するものを、フラッシュ型EEPROM（以下、フラッシュメモリと略す）と称する。フラッシュメモリは多くの応用に適するが、他の半導体記憶装置と同様、ビット当たりの単価（ビット単価）の低減が市場を拡大する上で常に求められている。そのためにこれまで、各種の技術的提案がされているが、そのような一例として物理的な1メモリセルに2ビット以上記憶させるセル（多値メモリセルと称す）がある。

【0003】この種の多値メモリセルの構造及び動作の一例を図9～11に示す。図9は、従来の不揮発性半導体記憶装置の断面構造図を示す。

【0004】図9に示すように、多値メモリセルは、P型シリコン基板11の表面に約10nmのゲート絶縁膜12を有し、ゲート絶縁膜12上には多結晶シリコンより成る浮遊ゲート電極13、さらに浮遊ゲート電極13上には約25nmの膜厚の浮遊ゲート上絶縁膜14が形成され、浮遊ゲート上絶縁膜14上には制御ゲート電極15を有している。浮遊ゲート電極13及び制御ゲート電極15に覆われていないシリコン基板11表面にはN型不純物によるソース16及びドレイン17が形成される。浮遊ゲート電極13は多結晶シリコンで形成されるが、通常電気伝導性を持たせるために、リン等の不純物導入を、例えば $10^{20}\text{cm}^{-3}$ 程度の高レベルで行う。

【0005】このタイプの多値メモリセルの動作について、図10、図11を参照して簡単に説明する。

【0006】図10は従来の不揮発性半導体記憶装置の書込・消去動作の特性図、図11は従来の不揮発性半導体記憶装置の書込・消去時の印加電圧を示す特性図である。

【0007】メモリセルの書込み（データの再書込）は、例えば4値を再書込む場合、それらは異なった4種

類のしきい値電圧で実現されるが、例えばそれらをしきい値の低い方から1、2、3、4の状態とする。例えば、状態1はセルしきい値の1V、状態2はセルしきい値の2V、状態3はセルしきい値の3V、状態4はセルしきい値の5V以上とする（図10参照）。再書込を行う前には、メモリセルはそれぞれ4種類のしきい値の内、所定のしきい値に設定されているから、一度消去という動作を行う必要がある。

【0008】メモリセルの消去（データの消去）では、上述したような書込まれた状態のメモリセルの浮遊ゲート電極13から電子を引き抜くために、シリコン基板11、ドレイン17及び制御ゲート電極15を0V（接地電位）にして、ソース16に例えば12Vを印加する（図11参照）。ソース16と浮遊ゲート電極13との間のゲート絶縁膜12中には強い電界がかかり、 $10\text{MV/cm}$ 以上が印加されることになる。このような強い電界のもとでは、ゲート絶縁膜12中にFowler-Nordheim電流が流れ、その効果を利用して浮遊ゲート電極13からソース16へ電子が流れることでメモリセルの消去が行われる。Fowler-Nordheim電流は消去を行う前のセルのしきい値にはよらず、一定の時間の後には全てのメモリセルのしきい値はほぼ状態1の1Vのセルしきい値に収束する（図11）。

【0009】このようにして、セルのしきい値を一度全て最もしきい値の低い状態1に揃えた後、例えば状態2のセルしきい値の2Vを実現するには、ドレイン17に例えば+7V、シリコン基板11とソース16に0V（接地電位）を印加し、制御ゲート電極15に例えば9V程度の電圧を所定の時間印加する（図11）。浮遊ゲート電極13は、外部の電源とは接続していないので、その電位は、ゲート絶縁膜12及び浮遊ゲート上絶縁膜14により形成される静電容量比により制御ゲート電極15、ソース16、ドレイン17、シリコン基板11の電位から一義的に決定される。各電極をこのような電位に設定することにより、ソース16とドレイン17間にはチャンネルが形成され、そこを流れる電子がドレイン端部での強い電界により加速され、一部の電子がゲート絶縁膜12の酸化膜/シリコン基板間のエネルギー障壁を越えて浮遊ゲート電極13中に注入される。いわゆるホットな電子の発生および浮遊ゲート電極への注入である。

【0010】同様に、例えば状態3のセルしきい値の3Vを実現するには、ドレイン17に例えば+7V、シリコン基板11とソース16に0V（接地電位）を印加し、制御ゲート電極15に例えば11V程度の電圧を所定の時間印加する。また、例えば状態4のセルしきい値の5Vを実現するには、ドレイン17に例えば+7V、シリコン基板11とソース16に0V（接地電位）を印加し、制御ゲート電極15に例えば13V程度の電圧を

所定の時間印加する。このようにして電子の注入に際し、例えばドレイン17への印加電圧は一定にして、制御ゲート電極15に印加される電圧を変化させることにより、浮遊ゲート電極13に注入される電子の注入量を変化させ、メモリセルに従来の1ビット（2つのしきい値状態）に代えて2ビット（4つのしきい値状態）を記憶させることができる。

【0011】通常、このようなドレイン電圧一定の書込を行うと、書込時のドレイン電圧によるドレイン空乏層の幅は一定であるため、制御ゲート電極15の電圧が変化してもホットな電子の発生する場所及びゲート酸化膜12への注入場所は常に同一と考えられる。一方、前述したように、浮遊ゲート電極13は高濃度で不純物が導入されているため、浮遊ゲート電極へ注入されたホットな電子は注入された場所に局在することなく浮遊ゲート電極内でただち拡散し、浮遊ゲート電極の電位を均一にする。

【0012】

【発明が解決しようとする課題】この従来の多値メモリセルでは、多値を実現するためのメモリセルの異なったしきい値は、浮遊ゲート電極に蓄積される電荷量のみにより決まる浮遊ゲート電極の電位状態によつて決定される。すなわち、個々の書込状態に対応してメモリセルのしきい値をある狭い範囲で設定するためには、浮遊ゲート電極に注入される電荷量（注入電子量）の絶対値を正確に制御しなければならない。しかし、多数のメモリセルのしきい値を同時に一定値に収束させることは、原理的には可能であっても実際には容易ではない。

【0013】その理由は、メモリセルの製造バラツキが、例えばゲート絶縁膜の膜厚バラツキになる場合やメモリセルのチャネル長のバラツキになることはめずらしくなく、そのような場合、書込に際して製造バラツキに起因したゲート絶縁膜中の電子電流のバラツキでしきい値のバラツキが生じ、メモリセルのしきい値を所定の値に収束させることが難しくなる。

【0014】本発明の目的は、上記従来の問題点に鑑み、多値メモリセルの書込時に所定のしきい値を実現するために、浮遊ゲート電極への注入電子量を厳しく制御することなく、注入する電子の場所を変えることでメモリセルのチャネル抵抗を制御し、より多くのしきい値を実現することのできる不揮発性半導体記憶装置及びその記憶方法を提供することにある。

【0015】

【課題を解決するための手段】本発明は、上記課題を解決するために、第1導電型の半導体基板表面の第1の領域に、前記半導体基板と反対導電型の第2導電型の不純物より成る複数のソース、ドレインと、これらソース・ドレイン間の複数の浮遊ゲート電極及び複数の制御ゲート電極より構成される複数の積層ゲートMOS型の記憶素子がマトリクス状に配置され、前記制御ゲート電極は

行線に、前記ドレイン、ソースはそれぞれ列線及びソース線に接続された不揮発性半導体記憶装置において、前記浮遊ゲート電極は多結晶シリコンで形成されるが、電気伝導性を高抵抗の状態にするために、不純物導入を、非常に低レベルもしくは全く行わないことを特徴とし、前記各記憶素子の浮遊ゲート電極に蓄積される電子の電荷量の違いによって4種類のしきい値を有する4種類の記憶状態を有し、前記4種類の記憶状態は、最もしきい値の低い第1のしきい値状態と最もしきい値の高い第4のしきい値状態及びその間にある第2のしきい値状態とそれよりも高い第3のしきい値状態により構成され、前記それぞれのしきい値状態は、すべての記憶素子を予め第1のしきい値状態にした後、第1のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第2のしきい値状態にし、次に第2のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第3のしきい値状態にし、次に第3のしきい値状態に設定する記憶素子を除く残りのすべての記憶素子を第4のしきい値状態に設定し、それぞれのしきい値状態は前記浮遊ゲート電極中に局在して存在する電子によって実現され、その結果記憶素子に実質的に2ビット以上の記憶状態を実現することのできる不揮発性半導体記憶装置及びその記憶方法である。

【0016】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0017】（第1実施例）図1は本発明の第1実施例であるメモリセルの断面構造図、図2は第1実施例であるメモリセルの書込・消去動作の特性図、図3は第1実施例であるメモリセルの書込み手順を示すフローチャート、及び図4は第1実施例であるメモリセルの書込時の印加電圧を示す特性図である。

【0018】以下、図1～4を用いて本発明の要旨を説明する。なお本実施例では、多値の一例として4値を挙げて説明するが、いうまでもなく4値にこだわるものではなく、4値以上のN値であっても差し支えない。

【0019】図1に示すように、P型シリコン基板11の表面に約10nmのゲート絶縁膜12を有し、ゲート絶縁膜12上には多結晶シリコンより成る浮遊ゲート電極13、さらに浮遊ゲート電極13上には約25nmの膜厚の浮遊ゲート上絶縁膜14が形成され、浮遊ゲート上絶縁膜14上には制御ゲート電極15を有している。浮遊ゲート電極13及び制御ゲート電極15に覆われていないシリコン基板11表面にはN型不純物によるソース16及びドレイン17が形成される。

【0020】本実施例において、従来のセル構造と異なる点は、浮遊ゲート電極13は多結晶シリコンで形成されるが、電気伝導性を持たせるために従来行っていた、リン等の不純物導入を非常に低レベルもしくは全く行わず、高抵抗の状態に形成する点である。従来は、チャネ

ル全体の電位を一定にすることが必要であったため、注入電子は速やかに浮遊ゲート電極全体に広げることがあり、そのために浮遊ゲート電極の電気伝導度を高くする必要があった。本発明では、浮遊ゲート電極の電子注入場所（領域）を変化させることで注入電子が浮遊ゲート電極に広がることになるので、浮遊ゲート電極の電気伝導度を高くする必要はなく、むしろ、注入電子が浮遊ゲート電極の特定の場所に留まっている必要があるため、浮遊ゲート電極の電気伝導度は絶縁体に近い値（真性半導体）でも差し支えない。

【0021】本発明の多値メモリセルの動作を図2～図4を用いて説明する。

【0022】例えば4値を書き込む場合について説明する。メモリセルのしきい値は、図2に示すように異なる4種類のしきい値電圧で実現されるが、例えばそれらをしきい値の低い方から1、2、3、4の状態とする。例えば、状態1はセルしきい値の1V、状態2はセルしきい値の2V、状態3はセルしきい値の3V、状態4はセルしきい値の5V以上とする。書込を行う前には、メモリセルはそれぞれ4種類のしきい値の内、所定のしきい値に設定されているから、一度消去という動作を行う必要がある。

【0023】メモリセルの消去（データの消去、ステップS1）では、上述したような書込まれた状態のメモリセルの浮遊ゲート電極から電子を引き抜くために、シリコン基板11、ドレイン17及び制御ゲート電極15を0V（接地電位）にして、ソース16に例えば12Vを印加する。ソース16と浮遊ゲート電極13との間のゲート絶縁膜12中には強い電界がかかり、10MV/cm以上が印加されることになる。このような強い電界のもとでは、ゲート絶縁膜12中にFowler-Nordheim電流が流れ、その効果を利用して浮遊ゲート電極13からソース16へ電子が流れることでメモリセルの消去が行われる。Fowler-Nordheim電流は消去を行う前のセルのしきい値にはよらず、一定の時間の後には全てのメモリセルのしきい値はほぼ状態1の1Vのセルしきい値に収束する（ステップS2）。

【0024】本発明の書込方法を説明する。図3、図4に示すように、多数のメモリセルの内、状態1を書き込むセルは、消去後のしきい値1Vのままで良いから電圧を印加する必要はない（ステップS3）。状態2を書き込む場合（ステップS4）、状態1を書き込んだセルを除く全てのセルを対象にして、例えば制御ゲート電極15に例えば9V、ドレイン17には4Vの電圧を例えば10マイクロ秒間印加する（ステップS5）。すると、メモリセルは導通状態になり、ソースとドレイン間に電子の電流が流れ、その電子の一部はシリコン基板11とゲート絶縁膜12のエネルギー障壁を越えることが可能なエネルギー（3eV以上）を有するいわゆるホットな電子となり、浮遊ゲート電極3に注入される。通常、この

ようなホットな電子はドレインの空乏層内で発生する。従ってここで示したような低ドレイン電圧の下では、ドレイン側での空乏層の幅が小さいから（例えば、シリコン基板11の基板濃度が $2 \times 10^{17} \text{ cm}^{-3}$ では空乏層の幅は、ドレイン端部から0.15ミクロン程度）、ホットな電子はドレイン端近傍の浮遊ゲート電極中に注入される。

【0025】図5は、状態2のしきい値状態を実現するための電子注入状態を示した模式図である。図中でeで示した電子注入状態はドレイン端部から幅W1の領域に局在する。ここで本発明では前述したように、浮遊ゲート電極13は電気伝導性を持たせるために従来行っていた、リン等の不純物導入を非常に低レベルもしくは全く行わない高抵抗状態の多結晶シリコンで形成されているため、浮遊ゲート電極13に注入された電子は、注入された領域から大きく拡散することなく、ほぼ注入時の領域に局在し続ける。

【0026】次に、図6は、状態3のしきい値状態を実現するための電子注入状態を示した模式図である。状態3を書き込む場合（ステップS6）、状態1および2を書き込んだセルを除く全てのセルを対象にして（ステップS7）、例えば制御ゲート電極15には12V、ドレイン17には6Vの電圧を例えば10マイクロ秒間印加する。この場合、空乏層の幅は、ドレイン端部から0.2ミクロン程度になり、ホットな電子はドレイン端近傍の浮遊ゲート電極中に状態2の時よりもややソース側に広がって注入される。注入領域は図6中でW2で示す。

【0027】最後に、図7は、状態4のしきい値状態を実現するための電子注入状態を示した模式図である。状態4を書き込む場合（ステップS8）、状態1、2及び3を書き込んだセルを除く全てのセル、すなわち状態4を書き込むセルのみを対象にして、例えば制御ゲート電極15には16V、ドレイン17には8Vの電圧を例えば10マイクロ秒間印加する。この場合、空乏層の幅は、ドレイン端部から0.25ミクロン程度になり、ホットな電子はドレイン端近傍の浮遊ゲート電極中に状態3の時よりもさらにソース側に広がって注入される。注入領域は図7中でW3で示す。

【0028】このように、電子の注入場所を変化させることでメモリセルのしきい値を変化させることをもう少し詳しく説明する。通常MOSFETでは、浮遊ゲート電極の電荷によりチャネルと呼ばれるソースドレイン間のシリコン基板表面の電位を制御することでチャネルの電気抵抗を変化させる。本実施例のような、浮遊ゲート電極を有するメモリセルの場合、浮遊ゲート電極に電子を注入する事でチャネルの電気抵抗を制御することが出来るが、電子の注入場所が局在していると、チャネル全体の電気抵抗は、電子が注入された領域の直下の高抵抗領域（RH）と注入されていない領域の直下の低抵抗領域（RL）の直列抵抗、 $RH + RL$ で表され、このR

Hを変化させることでチャネル電流を変化させる訳である。

【0029】このようにして、従来は浮遊ゲート電極13の電子の注入量を変化させるのに対し、本発明では電子を注入する領域を変化させることで、メモリセルに蓄積させる電子量を詳細に制御することを特徴とする。従って、従来と比較してしきい値を細かく設定でき（すなわち読み出し時の電流を高精度で制御することができ）、従来の1ビット（2つのしきい値状態）に代えて2ビット（4つのしきい値状態）を記憶させることが容易にできる。

【0030】（第2実施例）次に本発明の第2実施例について図面を参照して説明する。

【0031】図8は、本発明の第2実施例であるメモリセルの書込・消去動作の特性図である。メモリセルの断面構造については図示していないが、基本的に第1実施例と同一である。以下、図8を用いて本発明の要旨を説明する。

【0032】本実施例でも、例えば4値を書き込む場合について説明する。メモリセルのしきい値は、第1実施例と同様、例えば低い方から1、2、3、4の状態とする。この実施例では書込前のメモリセルの4種類のしきい値から消去するのに際して、図8に示すように、例えば-0.5V程度の負のしきい値電圧まで消去を実施する。その後は、第1実施例と同様に、それぞれの状態2～4のセルしきい値になるように書込が行われる。

【0033】このようにして状態1を負のしきい値レベルにまで広げることで、状態2～3のしきい値の設定値に幅を持たせることが出来、多値を記憶させることが容易にできる。

【0034】なお本実施例では、多値の一例として4値を挙げて説明したが、いうまでもなく4値にこだわるものではなく、4値以上のN値であっても差し支えない。その場合に正、負のしきい値レベルの境界は、1～Nの中央値 $N/2$ が対称に設定できて便利である。

【0035】なお、状態1が設定されたメモリセルはドレインソース間のリークを避けるために、制御ゲート電極には読み出し時を除いて、-5V程度の負電圧を印加しておくのがよい。

【0036】

【発明の効果】以上説明したように、本発明によれば、多値メモリセルの書込を行う場合に、従来は浮遊ゲート電極の電子の注入量を変化させていたのに対し、本発明では電子を注入する領域を変化させることで、メモリセルに蓄積させる電子量を詳細に制御することを特徴とする。従って、従来と比較してしきい値を細かく設定でき（すなわち読み出し時の電流を高精度で制御することができ）、従来の1ビット（2つのしきい値状態）に代えて2ビット（4つのしきい値状態）を記憶させることが容易にできる。

【図面の簡単な説明】

【図1】本発明の第1実施例であるメモリセルの断面構造図

【図2】本発明の第1実施例であるメモリセルの書込・消去動作の特性図

【図3】本発明の第1実施例であるメモリセルの書込み手順を示すフローチャート

【図4】本発明の第1実施例であるメモリセルの書込時の印加電圧を示す特性図

【図5】状態2のしきい値状態を実現するための電子注入状態を示した模式図

【図6】状態3のしきい値状態を実現するための電子注入状態を示した模式図

【図7】状態4のしきい値状態を実現するための電子注入状態を示した模式図

【図8】本発明の第2実施例であるメモリセルの書込・消去動作の特性図

【図9】従来の不揮発性半導体記憶装置の断面構造図

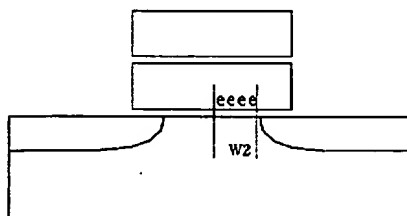
【図10】従来の不揮発性半導体記憶装置の書込・消去動作の特性図

【図11】従来の不揮発性半導体記憶装置の書込・消去時の印加電圧を示す特性図

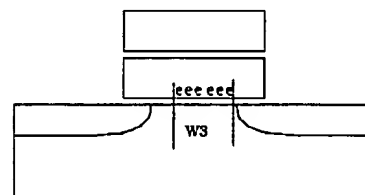
【符号の説明】

- 1、11 P型シリコン基板
- 2、12 ゲート絶縁膜
- 3、13 浮遊ゲート電極
- 4、14 浮遊ゲート上絶縁膜
- 5、15 制御ゲート電極
- 6、16 ソース
- 7、17 ドレイン

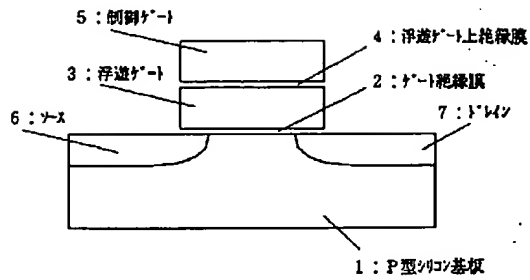
【図6】



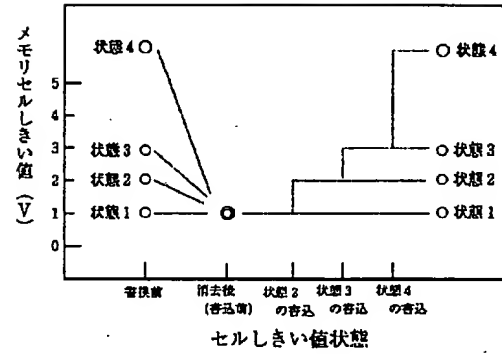
【図7】



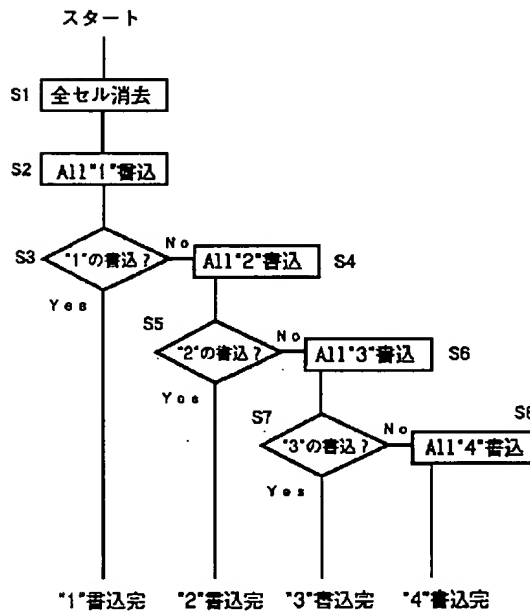
【図1】



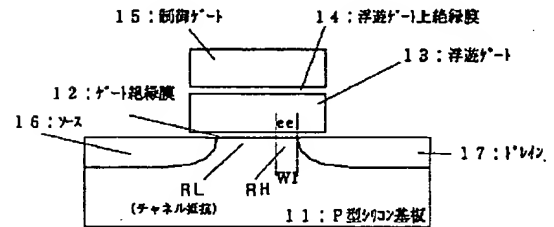
【図2】



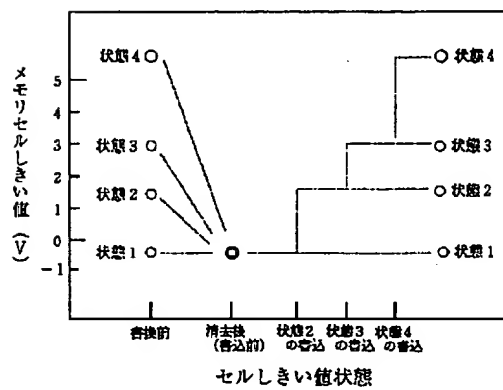
【図3】



【図5】



【図8】



【図9】

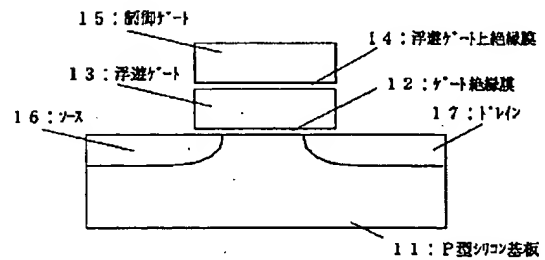




Figure 1 is a graph showing the voltage levels of various electrodes (Source, Drain, Control Gate, and Silicon Substrate) during the three states of a memory cell: before erasure, after erasure, and after rewriting. The Y-axis represents voltage in Volts (V) from 0 to 12. The X-axis shows the three states. In the 'before erasure' state, the Source and Drain electrodes are at 12V, and the Control Gate is at 0V. In the 'after erasure' state, the Source and Drain electrodes are at 0V, and the Control Gate is at 12V. In the 'after rewriting' state, the Source and Drain electrodes are at 0V, and the Control Gate is at 12V. The graph also shows the voltage levels for the four states of the cell: State 1 (Control Gate at 0V), State 2 (Control Gate at 12V), State 3 (Control Gate at 12V), and State 4 (Control Gate at 12V).

【図10】

